Architecture des ordinateurs
TD 7 : Circuits séquentiels (suite)

Arnaud Giersch, Benoît Meister et Frédéric Vivien

Multiplicateur de mots de 3 bits

On rappelle qu'un registre à décalages sur n bits est pourvu de n sorties d_1 à d_n et d'une entrée s (dite « entrée série »). Au temps $t+1$, la valeur de chaque sortie $d_i, i \in [2..n]$, est égale à la valeur prise par la sortie d_{i-1} au temps t. La valeur de d_1 au temps $t+1$ est égale à la valeur de l'entrée s au temps t.

1. Rappeler le fonctionnement d'une bascule D simple.
2. Réaliser un registre à décalages sur 6 bits à l'aide de bascules D.
3. Expliciter les valeurs prises par les sorties d_1 à d_6 avec comme entrée le mot 110. Écrire l'évolution des valeurs de sortie pour les temps $t = 0$ à 6. La valeur d'entrée avant et après le mot est de 0.
4. Détailler la multiplication de deux nombres de 3 bits, par exemple $A = 110_b$ et $B = 101_b$, en une suite d'additions.

   Expliquer où intervient un décalage lors de l'exécution de cette opération.
5. On dispose d'un additionneur sur 6 bits, prenant en entrée deux entiers sur 6 bits $C = c_6c_5c_4c_3c_2c_1$ et $F = f_6f_5f_4f_3f_2f_1$, et calculant en sortie la somme $C + F = S = s_6s_5s_4s_3s_2s_1$. Fabriquer un multiplicateur d'entiers sur 3 bits (avec résultat sur 6 bits) à l'aide d'un registre à décalages sur 6 bits, de l'additionneur 6 bits et d'éventuelles portes logiques combinatoires et/ou séquentielles. On considère que le temps de passage des portes logiques combinatoires et celui de l'additionneur sont négligeables devant la période de l'horloge.
6. Donner le nombre de cycles nécessaires à l'exécution d'une multiplication.
7. Rappeler le fonctionnement d'une bascule D pourvue d'entrées *Clear* et *Preset* actives au niveau bas.
8. Montrer comment on peut réduire le temps d'exécution de la multiplication si l'on utilise ce type de bascule pour la fabrication du registre à décalages.
9. Quel est le temps d'exécution de la multiplication pour ce nouveau circuit ?