Architecture des ordinateurs

Examen

Mercredi 30 janvier, 8h30-10h30

Aucun document n'est autorisé.

Remarques et commentaires :
- Commencez par lire le sujet dans son intégralité.
- Écrivez lisiblement et en français, car les copies seront lues (anonymat oblige) !

1 Questions de cours

Vos réponses aux questions de cours pourront comporter des exemples.

1.1 Pipeline

Expliquez, en moins d'une page, ce qu'est un processeur pipeliné et l'intérêt de la technique du pipeline.

1.2 Cache

Expliquez, en moins d'une page, le principe des mémoires cache, les grandes lignes de leur fonctionnement et leur intérêt.

2 Arithmétique

Réalisez, dans un système en complément à deux sur huit bits, le calcul : $59 - 107$. Vous vérifierez le résultat obtenu.

3 Assembleur

Expliquez le code en assembleur Sparc présenté figure 1. Que fait ce morceau de code ?

Rappel : en assembleur Sparc, le dernier opérande est la destination ; `ba` est la contraction de *branch always* et `bl` celle de *branch on less*.

```
fun:
        save %sp, -64, %sp
        cmp %i0, %i1
        bl label1
        nop
        mov %i0, %l0
        ba label2
        nop
label1:
        mov %i1, %l0
label2:
        mov %l0, %i0
        ret
        restore
```

Fig. 1 – Petit code en assembleur Sparc.

4 Circuits séquentiels : un incrémenteur/décrémenteur

Nous cherchons ici à réaliser un circuit séquentiel incrémentant ou décrémentant sa sortie suivant ses entrées.

La sortie, notée s, sera une valeur comprise entre 0 et 2 et codée sur deux bits, notés a et b avec $s = 2 \times a + b$. La valeur de s étant comprise entre 0 et 2, la configuration $a = b = 1$ est interdite.

En entrée de notre circuit nous aurons deux signaux binaires I et D, que nous supposons être actifs sur niveau haut : lorsque I vaut 1, le circuit doit incrémenter (augmenter de 1) sa sortie, et lorsque D vaut 1, le circuit doit décrémenter (diminuer de 1) sa sortie ; la configuration $I = D = 1$ est autorisée mais les deux signaux s'annulent alors.

1. Complétez la table de vérité de la figure 2. Vous noterez par $*$ les configurations impossibles, s'il y en a.

I	D	a_{t-1}	b_{t-1}	a_t	b_t
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	1	0	0		
0	1	0	1		
0	1	1	0		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	1	0	0		
1	1	0	1		
1	1	1	0		

Fig. 2 – Table de vérité de l'incrémenteur/décrémenteur.

2. **Changements des valeurs de sortie.** Donnez l'expression booléenne des états pour lesquels
   (a) a est mis à zéro (autrement dit, donnez l'expression booléenne des états pour lesquels a_{t-1} vaut un et a_t zéro) ;
   (b) a est mis à un ;
   (c) b est mis à zéro ;
   (d) b est mis à un.
3. Rappelez le principe de fonctionnement d'une bascule RSC (vous pouvez vous contenter de rappeler la table de vérité d'une telle bascule).
4. Proposez un circuit séquentiel utilisant une ou des bascules RSC (et des portes logiques combinatoires) et réalisant le circuit incrémenteur/décrémenteur souhaité. On supposera que le temps de passage des portes logiques et des bascules est négligeable devant la période d'horloge des bascules RSC. *Note :* vous pouvez utiliser des couleurs pour améliorer la lisibilité de votre schéma.