

Architecture des ordinateurs

Corrigé du TD 7 : Circuits séquentiels (suite)

Arnaud Giersch, Benoît Meister et Frédéric Vivien

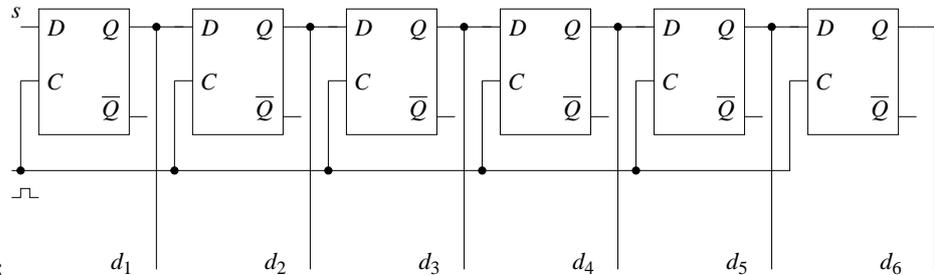
Multiplicateur de mots de 3 bits

On rappelle qu'un registre à décalages sur n bits est pourvu de n sorties d_1 à d_n et d'une entrée s (dite « entrée série »). Au temps $t + 1$, la valeur de chaque sortie $d_i, i \in [2..n]$, est égale à la valeur prise par la sortie d_{i-1} au temps t . La valeur de d_1 au temps $t + 1$ est égale à la valeur de l'entrée s au temps t .

1. Rappeler le fonctionnement d'une bascule D simple.

Correction : cf. le cours

2. Réaliser un registre à décalages sur 6 bits à l'aide de bascules D .



Correction :

3. Expliciter les valeurs prises par les sorties d_1 à d_6 avec comme entrée le mot 110. Écrire l'évolution des valeurs de sortie pour les temps $t = 0$ à 6. La valeur d'entrée avant et après le mot est de 0.

Correction :

t	d_1	d_2	d_3	d_4	d_5	d_6
0	0	0	0	0	0	0
1	1	0	0	0	0	0
2	1	1	0	0	0	0
3	0	1	1	0	0	0
4	0	0	1	1	0	0
5	0	0	0	1	1	0
6	0	0	0	0	1	1

4. Détailler la multiplication de deux nombres de 3 bits, par exemple $A = 110_b$ et $B = 101_b$, en une suite d'additions.

Correction :

$$\begin{array}{r}
 110 \\
 \times 101 \\
 \hline
 1 \times 110 = 110 \\
 + 0 \times 1100 = 0 \\
 + 1 \times 11000 = 11000 \\
 \hline
 11110
 \end{array}$$

Expliquer où intervient un décalage lors de l'exécution de cette opération.

Correction : La multiplication de 110_b par 101_b se décompose ainsi :

$$110_b \times 101_b = 110 \times 1.2^0 + 110 \times 0.2^1 + 110 \times 1.2^2$$

La multiplication d'un nombre binaire par 2 équivaut au décalage d'un cran à gauche de ce nombre binaire.

5. On dispose d'un additionneur sur 6 bits, prenant en entrée deux entiers sur 6 bits $C = c_6c_5c_4c_3c_2c_1$ et $F = f_6f_5f_4f_3f_2f_1$, et calculant en sortie la somme $C + F = S = s_6s_5s_4s_3s_2s_1$. Fabriquer un multiplicateur d'entiers sur 3 bits (avec résultat sur 6 bits) à l'aide d'un registre à décalages sur 6 bits, de l'additionneur 6 bits et d'éventuelles portes logiques combinatoires et/ou séquentielles. On considère que le temps de passage des portes logiques combinatoires et celui de l'additionneur sont négligeables devant la période de l'horloge.

Correction : On utilise un registre à décalage pour effectuer les décalages à gauche (bien qu'ils aient l'air à droite) sur A . Il reste à multiplier par 1 ou 0 les nombres décalés (selon la valeur du bit de B correspondant), et à les additionner entre eux. Au préalable, il faut charger le nombre A dans le registre à décalage, ce qui prend 3 cycles d'horloge. Pour synchroniser correctement le décalage avec la multiplication par les bits de B , on peut « retarder » de 3 cycles la prise en compte des bits de B , par exemple à l'aide de 3 portes D . Les bits de A sont entrés du bit de poids le plus fort au bit de poids le plus faible, alors que les bits de B sont entrés dans l'ordre inverse, c'est-à-dire du bit de poids le plus faible au bit de poids le plus fort. L'utilisation d'un additionneur 6 bits permet de ne pas avoir de débordement (ou overflow). Dans le schéma de la figure 1, toutes les bascules D sont reliées à la même horloge.

6. Donner le nombre de cycles nécessaires à l'exécution d'une multiplication.

Correction : Les 3 opérands de l'addition sont produits aux temps 3, 4 et 5 à l'entrée C de l'additionneur. Cette valeur est répercutée à l'entrée F au cycle suivant. L'addition des 3 opérands se termine au temps 5. Ici, le temps d'exécution de la multiplication est de 5 cycles d'horloge.

7. Rappeler le fonctionnement d'une bascule D pourvue d'entrées *Clear* et *Preset* actives au niveau bas.

Correction : On peut forcer la valeur prise par les sorties d'une bascule D par l'utilisation des entrées *Clear*, qui place la valeur de Q à 0, et *Preset*, qui place la valeur de Q à 1. Ces valeurs de sortie sont prises quelque soit la valeur à l'entrée D . Dans le cas où elles sont « actives au niveau bas », ces entrées font leur effet lorsque leur valeur est mise à 0.

8. Montrer comment on peut réduire le temps d'exécution de la multiplication si l'on utilise ce type de bascule pour la fabrication du registre à décalages.

Correction : Le chargement de la donnée A dans le registre à décalages peut être fait en 1 cycle par les entrées *Preset* des 3 premières bascules, comme le montre le circuit de la figure 2.

9. Quel est le temps d'exécution de la multiplication pour ce nouveau circuit ?

Correction : Le temps d'exécution de la multiplication par ce nouveau circuit est de 3 cycles d'horloge.

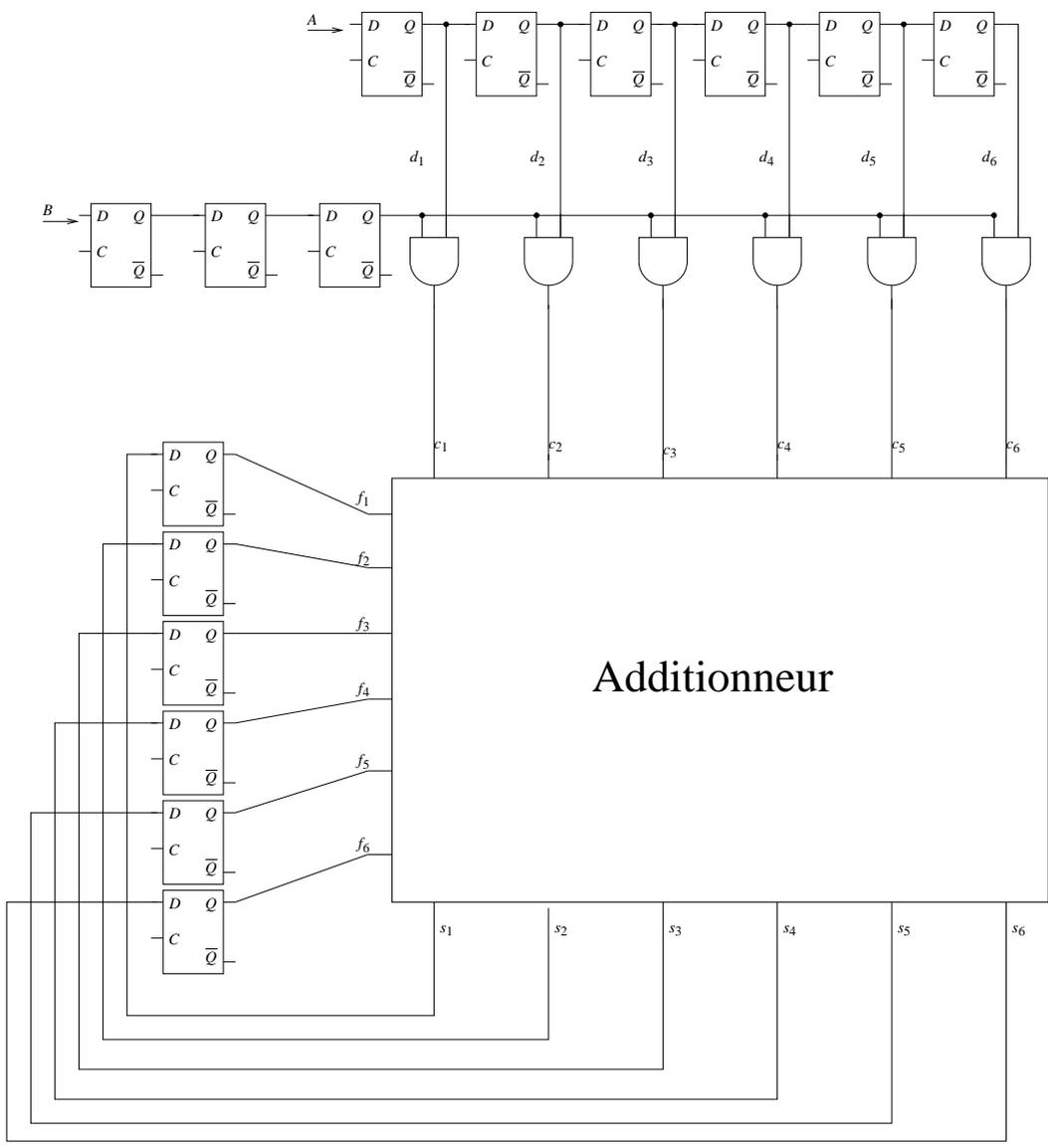


FIG. 1 – Multiplicateur réalisé au moyen d'un additionneur et d'un registre à décalage.

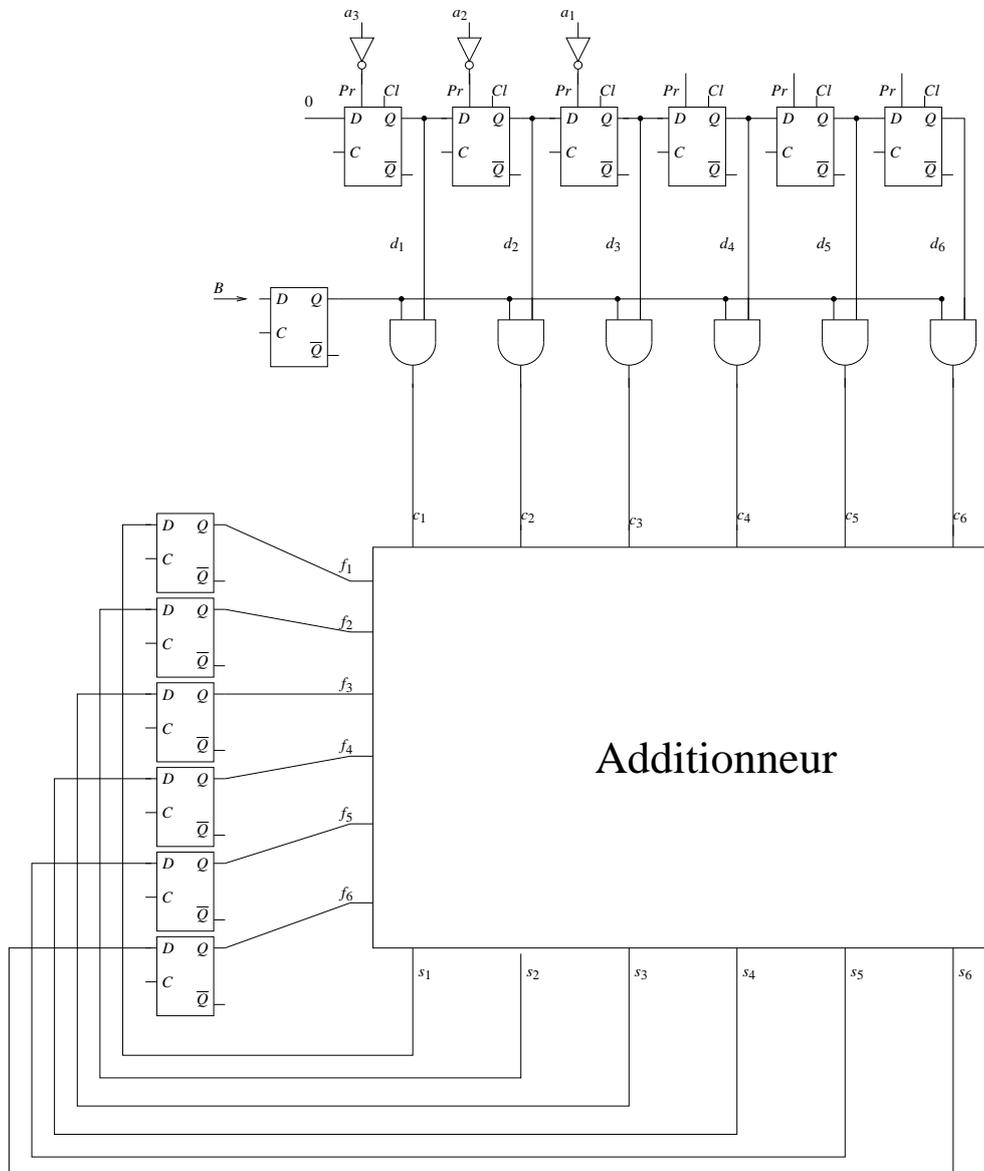


FIG. 2 – Deuxième multiplicateur réalisé au moyen d'un additionneur et d'un registre à décalage.